

SONY®

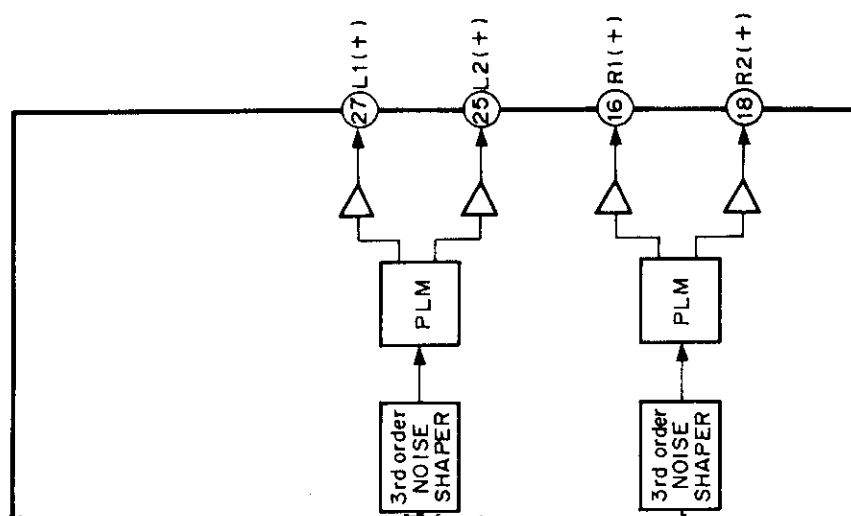
CXD2565M

オーディオ用1ビット方式DAコンバータ（DF内蔵）

概 要

SONY

CXD2565M



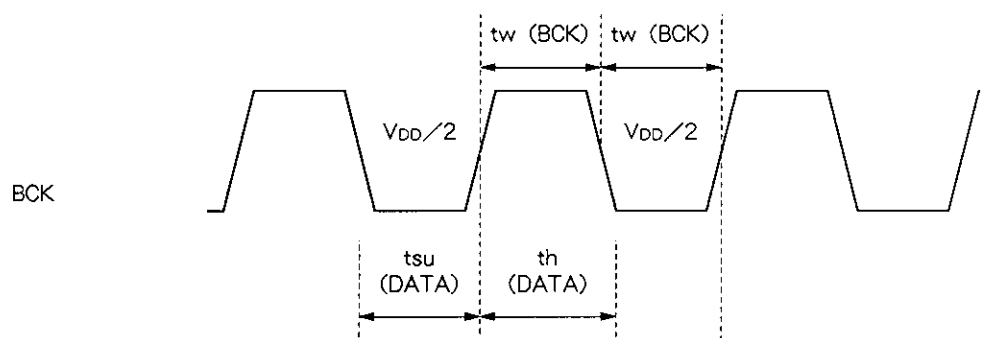
端子説明

端子番号	端子記号	I/O	説 明
------	------	-----	-----

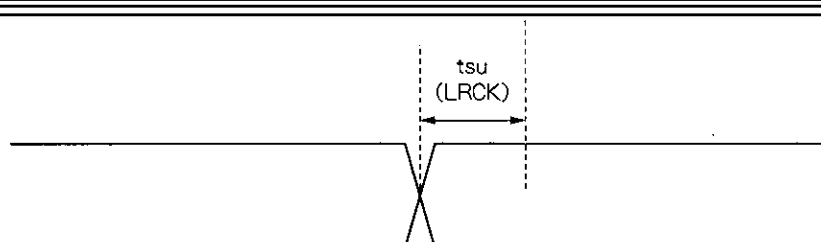
電気的特性

直流特性 ($V_{DD} = V_{DDP} = V_{DDL} = V_{DDL} = 5.0V \pm 5\%$, $V_{DD} = V_{DDP} = V_{DDL} = V_{DDL} = 0V$, $T_a = -10 \sim 60^\circ C$)

入力/AC タイミング



LRCK



機能説明

① ミュート機能

(1) ゼロ・データ検出

検出はアッテネーション処理の後で行われます。

- 入力データの上位14ビットがオール“0”またはオール“1”で、かつ残りの下位ビットがDCと言う状態が続いた場合、ゼロ検出フラグが出力されます。
- 検出時間は、60ミリ秒か、300ミリ秒をシリアルコントロールで選択することができます。
- ゼロ検出フラグを出力中も、デジタルフィルタは通常動作をします。

(2) デジタル・フィルタ ミュート (D/F MUTE)

- シリアル・コントロールのATTモード中の“MUTE”が“H”の時、アクティブになります。

- D/F部からの出力は、[“0” + DCオフセット] にセットされます。

SONY

CXD2565M

③ シリアル・コントロール

- 転送フォーマットを以下に示します。

• アッテネート・モード

ビット	モード・フラグ	機 能	"H"	"L"
-----	---------	-----	-----	-----

• システム・モード

ビット	モード・フラグ	機 能	"H"	"L"
-----	---------	-----	-----	-----

④ INIT 機能

- 外部 INIT 信号立ち上がり後, 再同期がかけられたら直ちに D/F 部と NS 部は同時にリセット解除されます。
- 外部 LRCK は外部 INIT 信号によって変化しないので, 外部 INIT 信号の立ち上がり後, 最初の外部 LRCK に対し, 内部 LRCK の位相をマスタークロック・レベルで合わせ込みます。
- 内部の同期がとれるまで最低 4fs 周期, 最高 5fs 周期を要します。
- 内部 INIT は, 外部 INIT 信号立ち下がり後, 約 2~2.5 ミリ秒遅らせています。

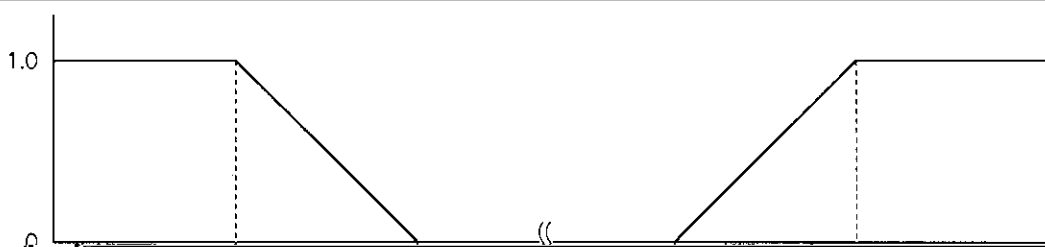
⑤ 倍速の動作について

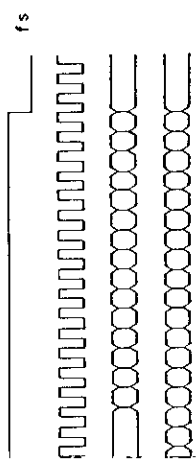
- 倍速で入力してきた信号に対して同期を保ち, 内部演算は標準速のままで行われます。

⑥ アッテネータ

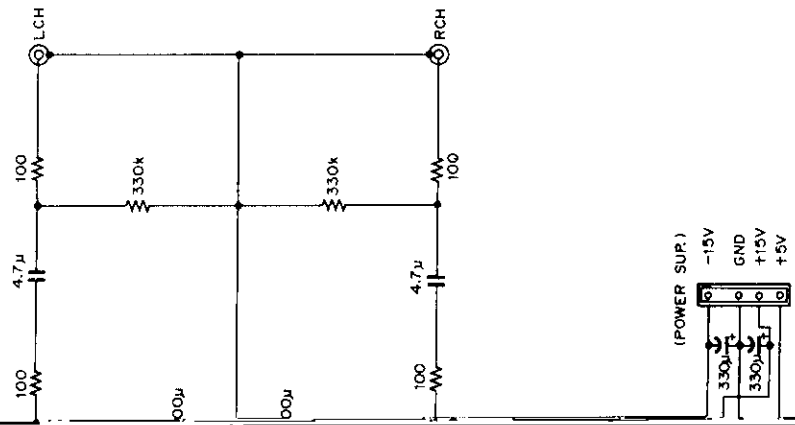
- ATT データはビット 5 (MSB) ~ ビット 16 (LSB) の 12 ビットを使って転送されます。大きさは, 000H (0.0) ~ 400H (1.0) となっています。

INIT: "L" で ATT データとして 400H がセットされます。





図は、24BCK/LSBファーストの例です。



示したもので、これら回路の使用に
当社は一切責任を負いません。

外形寸法図 単位: mm

28pin SOP (Plastic) 375mil

